

# Micromechanical structures

**Publication number:** DE19616014

**Publication date:** 1997-10-30

**Inventor:** LAERMER FRANZ DR (DE), SCHLIP ANDREA (DE)

**Applicant:** BOSCH GMBH ROBERT (DE)

**Classification:**

**- International:** G01P15/06; G01P15/125; G01P15/08; G01P15/125; (IPC1-7) G01P15/125; H01L49/00; H01L21/58; H01L21/60; H01L25/04

**- European:** G01P15/08A; G01P15/125

**Application number:** DE19961016014 19960423

**Priority number(s):** DE19961016014 19960423

**Also published as:**

GB2312553 (A)  
FR2747841 (A1)

Report a data error here

## Abstract of DE19616014

The micromechanical structures (16) produced in a separate wafer (14) and this wafer (14) is aligned with and placed on a wafer (12) containing integrated circuits by interposing a metallic connecting element (20). The device may be used as a capacitive acceleration sensor.

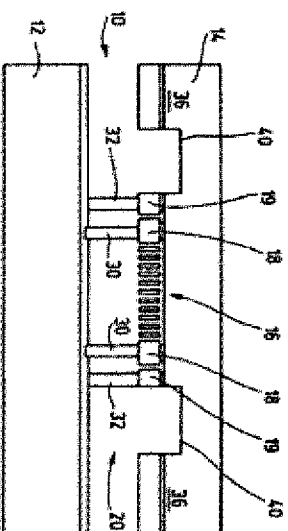


Fig. 2

Data supplied from the [esp@cenet](mailto:esp@cenet) database - Worldwide



⑬ **BUNDESREPUBLIK  
DEUTSCHLAND**



**DEUTSCHES  
PATENTAMT**

⑫ **Offenlegungsschrift**  
⑩ **DE 196 16 014 A 1**

⑥ **Int. Cl. 8:**  
**H 01 L 49/00**  
H 01 L 21/60  
H 01 L 21/58  
H 01 L 25/04  
// G01P 15/125

⑳ Aktenzeichen: 196 16 014.6  
㉔ Anmeldetag: 23. 4. 96  
㉕ Offenlegungstag: 30. 10. 97

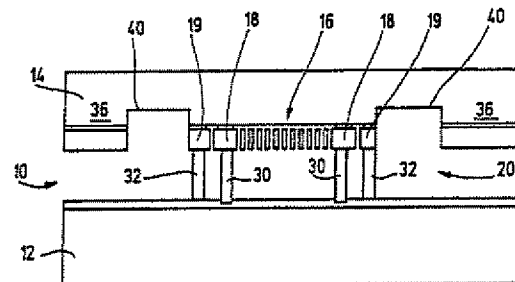
**DE 196 16 014 A 1**

⑦ **Anmelder:**  
Robert Bosch GmbH, 70469 Stuttgart, DE

⑧ **Erfinder:**  
Laermer, Franz, Dr., 70437 Stuttgart, DE; Schilp,  
Andrea, 73525 Schwaebisch Gmuend, DE

⑤ **Verfahren zur Herstellung von mikromechanische Strukturen aufweisenden Halbleiterbauelementen**

⑦ Die Erfindung betrifft ein Verfahren zur Herstellung von mikromechanische Strukturen aufweisenden Halbleiterbauelementen, insbesondere zum Anordnen von mikromechanischen Strukturen auf der Oberfläche eines integrierte Schaltungen aufweisenden Wafers.  
Es ist vorgesehen, daß die mikromechanischen Strukturen (16) in einem eigenen Wafer (14) erzeugt werden und dieser Wafer (14) unter Zwischenschaltung eines Verbindungselementes (20) auf den die integrierte Schaltungen aufweisenden Wafer (12) justiert aufgebracht wird.



**DE 196 16 014 A 1**

Die Erfindung betrifft ein Verfahren zur Herstellung von mikromechanische Strukturen aufweisenden Halbleiterbauelementen nach dem Oberbegriff des Anspruchs 1.

#### Stand der Technik

Es ist bekannt, auf der Oberfläche von Halbleiterbauelementen, beispielsweise von integrierte Schaltungen (IC) aufweisenden Silicium-Wafern, mikromechanische Strukturen aufzubringen. Dies können beispielsweise als kapazitive Beschleunigungssensoren, die aus einer federnd aufgehängten seismischen Masse sowie einer Kammstrukturordnung zur kapazitiven Auswertung der beschleunigungsbedingten Auslenkung der seismischen Masse bestehen, ausgebildete, freibewegliche Sensorelemente sein.

Die traditionellen Verfahren der Oberflächen-Mikromechanik benutzen zur Realisierung solcher Bauelemente beispielsweise in den Waferaufbau integrierte Opferschichten und darüber aktive Silicium-Schichten, zum Beispiel aus Polysilicium über Siliciumoxid-Inseln, so daß ein massiver Eingriff in den IC-Prozeß vorgenommen werden muß.

Nach einem weiteren bekannten Herstellungsverfahren werden diese Sensorelemente mit Hilfe der LIGA-Technik in galvanisch abgeschiedenen Metallschichten realisiert. Beim LIGA-Verfahren werden durch mit Synchrotronbelichtung hergestellte hohe Röntgenresiststrukturen galvanisch abgeformt und hieraus zunächst eine erste Prägeform gewonnen. Diese Prägeform wird anschließend zum Prägen unter hohem Druck von auf Wafern aufgetragenen Polymerschichten benutzt, die somit eine Negativform ergeben, die anschließend galvanisch aufgefüllt wird. Die Polymerform wird im Anschluß zerstört, so daß das Sensorelement freiliegt. Hierbei ist nachteilig, daß eine Synchrotronbelichtung nur unter großem und damit kostspieligem Aufwand mittels zusätzlicher, für eine Halbleiterbauelement-Herstellung nicht fertigungsüblichen Synchrotronanlagen durchgeführt werden kann. Weiterhin besteht durch die hohen Prägedrucke während des Abprägens der Negativstrukturen die Gefahr der Zerstörung des Wafers, der Prägeform beziehungsweise der in dem Wafer integrierten elektronischen Schaltungen. Weiterhin ist eine genaue Justage beim Prägen der Sensorelemente zu den auf den Wafern enthaltenen Schaltungen problematisch. Durch eine Abnutzung der Prägeform ist es erforderlich, durch Umprägen mehrere Tochterformen zu erstellen, bevor die eigentliche Herstellung der Sensorelemente stattfinden kann. Die Funktion des Prozesses als Ganzes konnte bisher noch nicht praktisch nachgewiesen werden. In jedem Fall stellt das Prägen auf einem IC-Wafer einen gefährlichen Eingriff in den IC-Prozeß dar.

Aus der DE 44 18 163 A1 ist ein Verfahren bekannt, bei dem die mikromechanischen Strukturen nachträglich auf ein fertig prozessiertes Halbleiterbauelement strukturiert werden, indem die späteren Strukturen in zusätzlich aufgetragenen Schichten abgeformt und später galvanisch aufgewachsen werden. Hierbei ist nachteilig, daß durch die galvanische Abformung der mikromechanischen Strukturen das gesamte Halbleiterbauelement aus unterschiedlichen Materialien besteht, die in Grenzbereichen der Anwendung der Halbleiterbauelemente aufgrund ihres unterschiedlichen thermischen

#### Vorteile der Erfindung

Das erfindungsgemäße Verfahren mit den im Anspruch 1 genannten Merkmalen bietet den Vorteil, daß in einfacher Weise ein kompaktes Halbleiterbauelement mit integrierten mikromechanischen Strukturen geschaffen werden kann. Dadurch, daß die mikromechanischen Strukturen in einem eigenen Wafer erzeugt werden und dieser Wafer unter Zwischenschaltung wenigstens eines elektrischen und mechanischen Verbindungselementes auf den die integrierte Schaltungen aufweisenden Wafer justiert aufgebracht wird, ist es vorteilhaft möglich, ohne Eingriff in den Herstellungsprozeß der integrierten Schaltungen den die mikromechanischen Strukturen enthaltenen weiteren Wafer zu erzeugen und eine elektrische Kopplung und mechanische Einhausung der mikromechanischen Strukturen mit dem Fügen der beiden Wafer zu verbinden. Durch die Anordnung der mikromechanischen Strukturen auf dem die integrierten Schaltungen enthaltenen Wafer wird kein zusätzlicher Platzbedarf auf dem die integrierten Schaltungen aufweisenden Wafer benötigt. Sehr vorteilhaft ist die gleichzeitig erfolgende hermetische Kapselung der mikromechanischen Strukturen, da diese somit gegen Umwelteinflüsse aller Art sicher verpackt angeordnet sind.

Vorteilhafte Ausgestaltungen der Erfindung ergeben sich aus den in den Unteransprüchen genannten Merkmalen.

#### Zeichnungen

Die Erfindung wird nachfolgend in einem Ausführungsbeispiel anhand der zugehörigen Zeichnungen näher erläutert. In den Fig. 1 bis 3 sind die einzelnen Verfahrensschritte zur Herstellung eines mikromechanischen Strukturen aufweisenden Halbleiterbauelements verdeutlicht.

#### Beschreibung des Ausführungsbeispiels

In der Fig. 1 sind die Hauptbestandteile eines Halbleiterbauelements 10 in einer schematischen Schnittdarstellung in ihrem Ausgangszustand gezeigt. Das Halbleiterbauelement 10 besteht aus einem ersten Wafer 12, beispielsweise einem Silicium-Wafer, der hier nicht näher dargestellte, integrierte Schaltungen enthalten kann. Dem ersten Wafer 12 ist ein zweiter Wafer 14 zugeordnet, der hier allgemein mit 16 bezeichnete mikromechanische Strukturen aufweist. Im Rahmen der vorliegenden Beschreibung soll auf die Erzeugung der mikromechanischen Strukturen 16 nicht näher eingegangen werden. Als mikromechanische Strukturen 16 können beispielsweise federnd aufgehängte seismische Massen und Kammstrukturen zum Antrieb der seismischen Massen beziehungsweise zum Abgriff einer beschleunigungsbedingten Auslenkung der seismischen Massen vorhanden sein. Der zweite Wafer 14 ist beispielsweise ebenfalls ein Silicium-Wafer, der einen für die Erzeugung der mikromechanischen Strukturen 16 geeigneten Schichtaufbau besitzt. Dieser kann beispielsweise aus einem Silikon-Insulatermaterial, epitaktisch verstärktem Polysilicium, auf einem Zwischenoxid mit nachträglicher Oberflächenpolitur bestehen. Das Erzeugen der mikromechanischen Strukturen 16 wird beispielsweise mittels bekannter Verfahrensschritte einer Kombination von

anisotropen Plasmaätzen und isotropen Unterätzen erzeugt. Bei der Herstellung der mikromechanischen Strukturen 16 werden diesen relativ großflächigen Kontaktbereiche 18 und 19 zum Beaufschlagen beziehungsweise Abgreifen von Signalen der mikromechanischen Strukturen 16 zugeordnet.

Zwischen den Wafern 12 und 14, das heißt zwischen dem Elektronikteil und dem Sensorteil des Halbleiterbauelements 10, ist wenigstens ein elektrisches und mechanisches Verbindungselement 20 angeordnet, dessen Herstellung nachfolgend detaillierter erläutert wird.

Die Oberfläche des fertig prozessierten Wafers 12 wird mit einer Metallstruktur 22 versehen. Hierzu kann beispielsweise eine durchgehende metallische Beschichtung auf dem Wafer 12, beispielsweise eine gesputterte Chrom/Kupfer-Legierung, flächig aufgebracht werden. Auf die Metallstruktur 22 wird eine relativ dicke Photoresistschicht 24, beispielsweise durch Aufschleudern, aufgebracht. Innerhalb der Photoresistschicht 24 werden mittels bekannter Verfahren der Photolithographie erste Strukturen 26 und eine zweite Struktur 28 angelegt. Hierzu wird eine nicht dargestellte Maskierung auf die Photoresistschicht 24 aufgebracht und ein Herauslösen beziehungsweise Herausätzen von Resistmaterial in den späteren Strukturen 26 und 28 durchgeführt. Die Strukturen 26 sind so angelegt, daß diese geometrisch einerseits auf dem Wafer 12 vorgesehenen Kontaktpads zum elektrischen Kontaktieren der mikromechanischen Strukturen 16 und andererseits den Kontaktbereichen 18 der mikromechanischen Strukturen 16 zugeordnet sind. Die Struktur 28 ergibt einen die Strukturen 26 in der Draufsicht gesehen umlaufenden Graben, wobei die Geometrie der von der Struktur 28 umschlossenen Fläche der Größe der mikromechanischen Strukturen 16 entspricht.

In einem nächsten Verfahrensschritt werden die Strukturen 26 und 28 in der Photoresistschicht 24 beispielsweise mittels galvanischer Abscheidungsverfahren, metallisch aufgefüllt. Hierdurch ergeben sich die Photoresistschicht 24 durchdringenden metallischen Bereiche 30 in den Strukturen 26 und ein metallischer Bereich 32 in der Struktur 28, der die metallischen Bereiche 30 quasi wannenförmig umschließt.

Nach erfolgter metallischer Abscheidung kann die Oberfläche 34 mittels geeigneter Verfahren, beispielsweise durch ein mechanisches Polieren, planarisiert und geglättet werden. Hierdurch wird an den dem Wafer 12 abgewandten Seiten der metallischen Bereiche 30 beziehungsweise 32 eine vollkommene ebene Oberfläche erzielt. Der die integrierten Schaltungen 12 aufweisende Wafer ist während dieser Glättungsverfahren durch die Photoresistschicht 24 geschützt, so daß Beschädigungen am Wafer 12 ausgeschlossen werden können.

Nunmehr wird in einem nächsten Verfahrensschritt die Photoresistschicht 24 entfernt, beispielsweise auf allgemein bekannte Art und Weise im Sauerstoff-Plasma verascht. Die Metallstruktur 22 wird anschließend auf der Oberfläche des Wafers 12 und zwischen den hohen metallischen Bereichen 30 und 32 selektiv entfernt, beispielsweise abgeätzt.

Die späteren Kontaktflächen zwischen den metallischen Bereichen 30 und 32 des Verbindungselementes 20 beziehungsweise den Kontaktbereichen 18 und 19 des Wafers 14 erfahren in einem nächsten Schritt eine geeignete chemische Vorbehandlung, beispielsweise eine Hydrophilisierung. Hierdurch wird durch Van-der-Waals-Kräfte ein fester Kontakt zwischen den aus Silicium bestehenden Kontaktbereichen 18 und 19 und den

metallischen Bereichen 30 beziehungsweise 32 erreicht. Es ist auch möglich, ein lötfähiges Metall zu verwenden oder eine dünne Lotschicht auf zugulvanisieren oder auf zudrucken.

Anschließend werden die Wafer 12 und 14 justiert in Kontakt gebracht, das heißt, diese werden derart übereinander angeordnet, daß die metallischen Bereiche 30 mit den Kontaktbereichen 18 in Berührung kommen. Dadurch, daß die Kontaktbereiche 18 relativ großflächig angelegt wurden, kann das gezielte Fügen der Wafer 12 und 14 mit hinreichend großer Justagegenauigkeit erfolgen, ohne daß eine hochpräzise und damit aufwendige Justage notwendig wird. Die metallischen Bereiche 32 gelangen hierdurch gleichzeitig in Kontakt mit den Kontaktbereichen 19.

Anschließend erfolgt die Herstellung einer festen Verbindung zwischen den metallischen Bereichen 30 und 32 beziehungsweise den Kontaktbereichen 18 und 19. Hierzu kann beispielsweise der Wafer 14 kurz erhitzt werden, während der Wafer 12 gekühlt wird. Dieser Verfahrensschritt kann mittels einer geeigneten Vorrichtung, die beispielsweise eine mit dem Wafer 12 in Kontakt kommende Kühleinrichtung und eine mit dem Wafer 14 in Kontakt kommende Heizeinrichtung aufweist, durchgeführt werden. Hierdurch wird erreicht, daß die Kontaktstelle zwischen den metallischen Bereichen 30 und 32 beziehungsweise den Kontaktbereichen 18 und 19, auf Temperaturen größer als 450°C erwärmt werden können, während gleichzeitig der Wafer 12 und die hier angeordneten integrierten Schaltungen vor einer übermäßigen Erhitzung geschützt werden. Durch die Erwärmung der Kontaktbereiche kommt es zu einer Legierungsbildung zwischen dem Silicium der Kontaktbereiche 18 und 19 und dem Metall der metallischen Bereiche 30 und 32, so daß eine feste mechanische und elektrisch leitfähige Verbindung zwischen den Wafers 12 und 14 über das Verbindungselement 20 entsteht. Dies kann durch eine zuvor aufgebrachte Lotschicht noch weiter unterstützt werden.

Nach weiteren Ausführungsbeispielen kann anstelle der Legierungserzeugung eine Verbindung zwischen den Kontaktbereichen 18 und 19 beziehungsweise den metallischen Bereichen 30 und 32 durch andere Techniken, beispielsweise dem Einsatz von Leitlebern oder Loten, erfolgen.

Nach erfolgter Verbindung der Wafer 12 und 14 wird über die metallischen Bereiche 30 eine elektrische Verbindung zwischen den integrierten Schaltungen in dem Wafer 12 und den mikromechanischen Strukturen 16 in dem Wafer 14 zur Signalführung gewährleistet. Die die mikromechanischen Strukturen 16 wandförmig umgebenden metallischen Bereiche 32 sorgen einerseits für eine Erhöhung der Stabilität der mechanischen Verbindung zwischen den Wafers 12 und 14 und andererseits für eine hermetische Einkapselung der mikromechanischen Strukturen 16. Die mikromechanischen Strukturen 16 sind hierbei komplett durch den Wafer 14 beziehungsweise den Wafer 12 und dem metallischen Bereich 32 eingekapselt, so daß Umwelteinflüsse auf die Funktionsfähigkeit der empfindlichen mikromechanischen Strukturen 16 keinen Einfluß haben können. Weiterhin wird durch diese vollkommene Einkapselung eine Beschädigung der mikromechanischen Strukturen bei weiteren Verfahrensschritten, wie beispielsweise Vereinzeln der Bauelemente 10 und einem späteren Gehäuseeinbau, beispielsweise einer Kunststoffumspritzung, sicher vermieden.

In einem nächsten, in Fig. 3 verdeutlichten Verfah-

rensschritt, wird die Oberfläche des Wafers 12 wieder freigelegt, indem die überschüssigen, das heißt, die die mikromechanische Struktur 16 umgebenden, für die weitere Funktion des Halbleiterbauelementes 10 nicht notwendigen Abschnitte 36 des Wafers 14, entfernt werden. Das Entfernen der Abschnitte 36 kann in einfacher Weise mittels einem hier angedeuteten Sägeschnitt 38 erfolgen. Dieser Sägeschnitt kann beispielsweise mechanisch oder mittels geeigneter Lasertechniken usw. erfolgen. Um sicherzustellen, daß bei diesem Abtrennen der Abschnitte 36 keine Beschädigung des Wafers 12 erfolgt, können bei der Herstellung des Wafers 14 bereits grabenförmige Vertiefungen 40 vorgesehen sein, die die Solltrennstellen definieren.

Alternativ ist es auch möglich, vor dem Verbinden des Wafers 14 mit dem Wafer 12 die mikromechanischen Strukturen 16 aus einem Wafervorbund vorher zu vereinzeln, so daß der in Fig. 3 verdeutlichte Verfahrensschritt an einem bereits fertig gefügten Halbleiterbauelement 10 entfallen würde.

Alternativ ist es auch möglich, vor dem Verbinden des Wafers 14 mit dem Wafer 12 die IC-Chips des Wafers 12 zu vereinzeln und gegen die Sensorchips des noch kompletten Sensorwafers 14 zu bonden. Die Vereinzelung der Sensoren erfolgt anschließend; dies ist dann vorteilhaft, wenn der IC-Wafer bereits eine schwierige, das heißt sehr unebene Topographie aufgrund der zahlreichen Halbleiterprozeßschritte aufweist und schwierig ganzflächig zu bonden wäre.

Insgesamt wird es möglich, Halbleiterbauelemente 10 mit integrierten mikromechanischen Strukturen 16 herzustellen, bei denen zur Erzeugung des die elektrische und mechanische Kopplung übernehmenden Verbindungselementes 20 lediglich eine zusätzliche Maskenebene notwendig ist. Diese zusätzliche Maskenebene kann nach Abschluß aller Prozessierungsschritte des Wafers 12 aufgebracht werden, so daß ein Eingriff in die Prozessierung der integrierten Schaltungen ausgeschlossen ist.

Bei dem fertigen Halbleiterbauelement 10 ergibt sich ferner der Vorteil, da sowohl der Wafer 12 als auch der Wafer 14 aus dem gleichen Siliciummaterial bestehen, daß bei Dauerlast oder bei Lastwechseln ein gleiches thermisches Verhalten auftritt, so daß eine thermische Beeinflussung der Langzeitlebensdauer des Halbleiterbauelementes 10 minimiert werden kann.

#### Patentansprüche

1. Verfahren zur Herstellung von mikromechanischen Strukturen aufweisenden Halbleiterbauelementen, dadurch gekennzeichnet, daß die mikromechanischen Strukturen (16) in einem eigenen Wafer (14) erzeugt werden und dieser Wafer (14) unter Zwischenschaltung eines Verbindungselementes (20) auf ein die integrierte Schaltungen aufweisenden Wafer (12) justiert aufgebracht wird.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß das Verbindungselement (20) auf der Oberfläche des fertig prozessierten Wafers (12) angelegt wird.
3. Verfahren nach Anspruch 2, dadurch gekennzeichnet, daß der Wafer (12) mit einer Metallstruktur (-Schicht) (22) versehen wird, auf die anschließend eine Photoresistschicht (24) aufgebracht wird.
4. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß in der Photoresistschicht (24) Öffnungen zur Erzeugung von

Strukturen (26, 28) angelegt werden, die der späteren elektrischen und mechanischen Verbindung der Wafer (12, 14) dienen.

5. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Öffnungen (26, 28) zu metallischen Strukturen (30, 32) aufgefüllt werden, die Photoresistschicht (24) und die Metallstruktur (22) entfernt werden, so daß lediglich relativ hohe, metallische Bereiche (30, 32) das Verbindungsteil (20) bilden.

6. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die metallischen Bereiche (30) eine elektrische Verbindung der integrierten Schaltung des Wafers (12) und der mikromechanischen Strukturen (16) des Wafers (14) übernehmen.

7. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die metallischen Bereiche (32) die metallischen Bereiche (30) vollständig, nach Art eines Ringes, umgeben.

8. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Wafer (12, 14) gefügt werden, indem Kontaktbereiche (18, 19) des Wafers (14) mit den metallischen Bereichen (30, 32) in Kontakt gebracht werden.

9. Verfahren nach Anspruch 8, dadurch gekennzeichnet, daß zwischen den Kontaktbereichen (18, 19) und den metallischen Bereichen (30, 32) eine innige, elektrisch leitende Verbindung hergestellt wird.

10. Verfahren nach Anspruch 9, dadurch gekennzeichnet, daß im Berührungsbereich eine Legierung zwischen den Materialien der Kontaktbereiche (18, 19) und den Bereichen (30, 32) erzeugt wird, indem der Wafer (14) erwärmt und der Wafer (12) gleichzeitig gekühlt wird.

11. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß funktionsmäßig nicht benötigte Abschnitte (36) des Wafers (14) vorzugsweise an vorher strukturierten Solltrennstellen (40) entfernt werden.

12. Halbleiterbauelement mit auf der Oberfläche eines integrierte Schaltungen aufweisenden Wafers angeordneten mikromechanischen Strukturen, dadurch gekennzeichnet, daß das Halbleiterbauelement (10) nach wenigstens einem der Ansprüche 1 bis 11 hergestellt ist.

Hierzu 2 Seite(n) Zeichnungen

Fig. 1

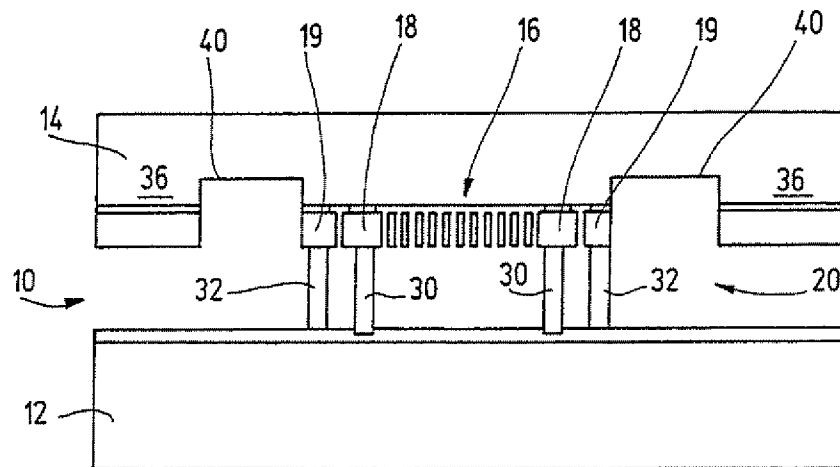
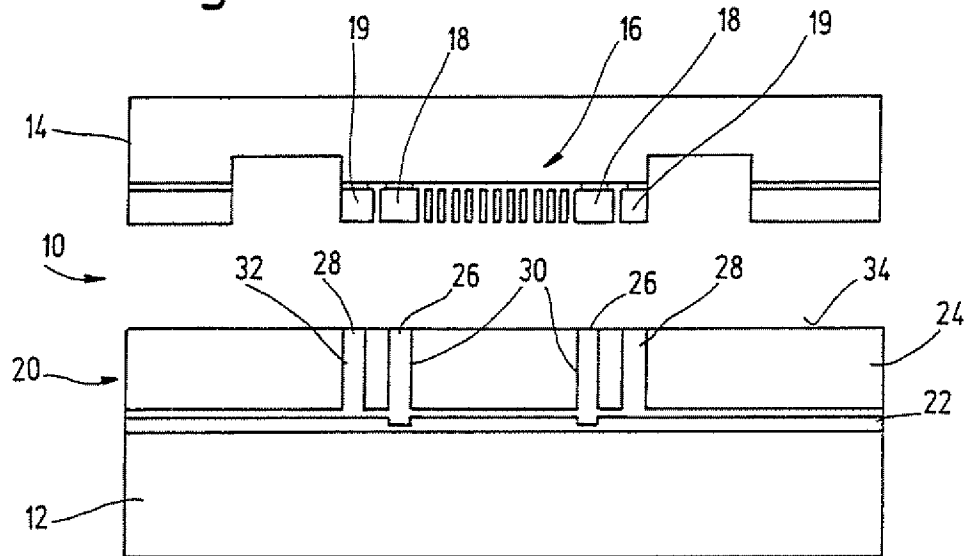


Fig. 2

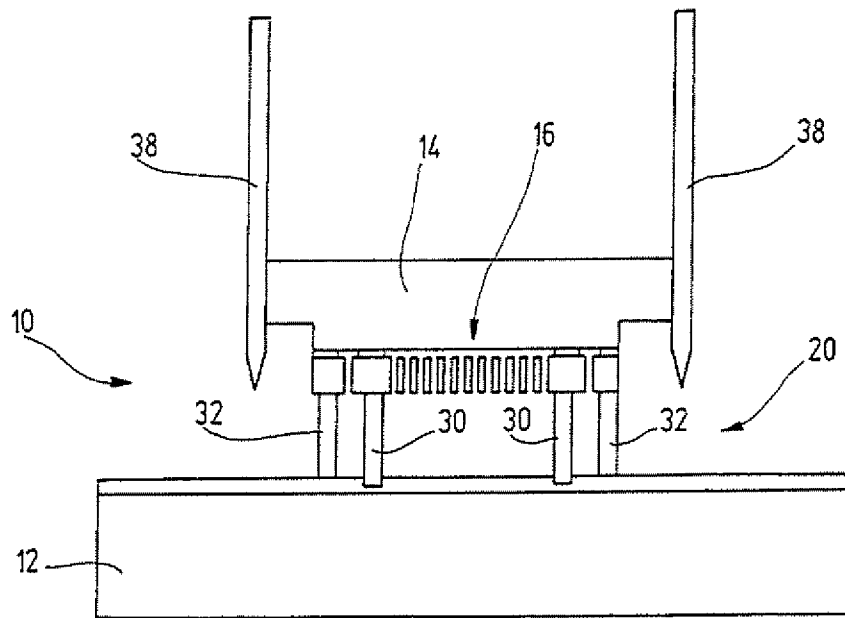


Fig. 3